

(54) BUFFER CIRCUIT

(11) 5-102830 (A) (43) 23.4.1993 (19) JP

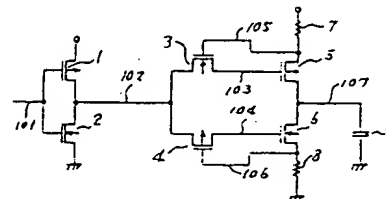
(21) Appl. No. 3-260197 (22) 8.10.1991

(71) NEC IC MICROCOMPUT SYST LTD (72) KIICHI TANAKA

(51) Int. Cl.⁵ H03K19/0175, H03K17/16, H03K17/687

PURPOSE: To suppress an excess current of the output buffer circuit including a load capacity charge/discharge current to a setting current or below.

CONSTITUTION: The buffer output circuit connected in cascade to an inverter circuit comprising a P-channel MOS transistor (TR) 1 and an N-channel MOS TR 2 is provided with an N-channel MOS TR 3 whose source receives an output 102 of the inverter circuit and whose gate is connected to a power supply via a resistor 7, a P-channel MOS TR 4 whose source receives the output 102 of the inverter circuit and whose gate is connected to a ground potential via a resistor 8, a P-channel MOS TR 5 whose source is connected to a gate of the TR 3, whose gate is connected to a drain of the TR 3 and whose drain is connected to an output terminal, and an N-channel MOS TR 6 whose source is connected to a gate of the TR 4, whose gate is connected to a drain of the TR 4 and whose drain is connected to the output terminal.



THIS PAGE BLANK (USPTO)

E4057

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-25715

⑪ Int.Cl.⁴G 06 F 1/04
11/22
15/02

識別記号

3 3 0
3 3 5

庁内整理番号

7157-5B
B-7368-5B
F-7343-5B

⑬ 公開 昭和63年(1988)2月3日

※審査請求 未請求 発明の数 2 (全7頁)

⑭ 発明の名称 半導体集積回路装置

⑮ 特 願 昭61-167949

⑯ 出 願 昭61(1986)7月18日

⑰ 発 明 者 桑 原 良 博 東京都小平市上水本町1479番地 日立マイクロコンピュー
タエンジニアリング株式会社内⑱ 発 明 者 山 口 剛 史 東京都小平市上水本町1479番地 日立マイクロコンピュー
タエンジニアリング株式会社内⑲ 出 願 人 日立マイクロコンピュ
ータエンジニアリング
株式会社
東京都小平市上水本町1479番地

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 内部論理回路の動作電圧より絶対値的に小さい電圧値にされた安定化電圧を形成する回路と、この安定化電圧により動作する発振回路とを具備することを特徴とする半導体集積回路装置。

2. 上記半導体集積回路装置は、太陽電池を電源とするものであることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 上記発振回路はリングオシレータにより構成され、その出力信号は内部論理回路の動作電圧に従ったレベルに変換するレベル変換回路を介して、上記内部論理回路に伝えられるものであることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

4. 内蔵の発振回路の出力信号を受ける第1の3状態出力回路と、テスト用のクロック信号が供給されるパッドの信号を受ける第2の回路と、上記

第1及び第2の回路の出力信号を受ける内部論理回路とを含み、テスト用の制御信号により第1と第2の回路の出力信号を選択的に出力させることを特徴とする半導体集積回路装置。

5. 上記発振回路は内部論理回路の動作電圧より絶対値的に低い電圧値にされた安定化電圧により動作するものであることを特徴とする特許請求の範囲第4項記載の半導体集積回路装置。

6. 上記第1及び第2の回路は、クロックドインバート回路により構成されるものであることを特徴とする特許請求の範囲第4又は第5項記載の半導体集積回路装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体集積回路装置に関し、例えば太陽電池により動作させられる電子式卓上計算機等を構成する発振回路内蔵の半導体集積回路装置に利用して有効な技術に関するものである。

(従来技術)

従来より、太陽電池を利用した電子式卓上計算

機が用いられている。アモーフスSi（シリコン）太陽電池に関しては、例えば日経マグロウヒル社1982年12月20日付「日経エレクトロニクス」頁113～頁122がある。上記の太陽電池にあっては、その受光量に応じて電圧が大きく変動する。このため、上記太陽電池を電源とする電子式卓上計算機等を構成する半導体集積回路装置においては、安定化電源回路により内部の動作電圧の安定化を図るものである。

〔発明が解決しようとする問題点〕

上記のように安定化電源回路を設けても内部電圧の変動幅が比較的大きくされる。このため、半導体集積回路装置に内蔵される発振回路は、その電圧変動が比較的大きいことより、発振周波数の変動幅が比較的大きくされる。したがって、動作電圧が高い領域では、発振周波数が高くされ消費電流が増大する。キー入力回路におけるチャタリングやバウンス回避のための設定時間が上記発振周波数が高くされるのに伴い短くなり、誤動作してしまう虞れが生じる。また、逆に動作電圧が

らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、内部論理回路の動作電圧より絶対値的に小さな安定化電圧により発振回路を動作させる。また、発振回路の出力信号と、テスト用クロック信号とをテスト用制御信号に従って第1、第2の回路を介して選択的に出力させるようにするものである。

〔作用〕

上記した手段によれば、発振回路の動作電圧の変動幅が絶対値的に小さくできるから、その分発振周波数の安定化を図ることができる。また、テスト用パッドが発振回路の出力端子と電気的に分離できるから、パッドの寄生容量や外部ノイズの影響を受けなくできる。

〔実施例1〕

第1図には、この発明の一実施例のブロック図が示されている。同図の各回路ブロックは、公知

低い領域では発振周波数が低くされ、ダイナミック駆動される液晶表示装置にチラツキが生じて表示品質を悪くする。

また、上記のように内蔵の発振回路を用いて、内部回路の動作に必要なクロック信号を形成する場合、機能試験のためのテスターとの同期化を図るために、テスト用のクロック端子（パッド）を設ける必要がある。このパッドは、プローブによるテスト用クロック信号を供給するために、比較的大きな占有面積を持つことが必要とされる。したがって、比較的大きな寄生容量を持つものになってしまう。このような大きな寄生容量が発振回路の出力端子に結合されてしまうと、発振回路の発振動作に影響を及ぼすとともに、外部ノイズの影響を受けるものとなる。

この発明の目的は、内蔵の発振回路の発振周波数の安定化を実現した半導体集積回路装置を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明

の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。

太陽電池Eにより形成される負極性電圧は、端子Pから供給される。なお、太陽電池Eの電圧がそのまま端子Pから供給されるものの他、電圧の安定化のために適当な2次電池を介して電圧が供給されてもよい。また、上記太陽電池Eは、1次電池に置き換えることができるものである。

端子Pから供給される負極性の電圧は、一方において安定化電源回路PS1により、約-1.5Vのような絶対値的に比較的大きな安定化電圧V1にされる。この電圧V1は、内部論理回路LOC及び後述するレベル変換回路LSに電源電圧として供給される。

この実施例では、発振回路の発振周波数の安定化のために、上記安定化電源回路PS1とは、別に次の安定化電源回路PS2が設けられる。この安定化電源回路PS2は、特に制限されないが、上記端子Pの電圧を受ける可変抵抗としてのPチ

ンネル型のディプレッションMOSFETQ1を介して発振回路OSCを構成する後述する各インバータ回路N1ないしN4に供給される。上記MOSFETQ1のゲートには、次の演算増幅回路OPの出力電圧が供給され、そのコンダクタンスが制御される。すなわち、演算増幅回路OPの非反転入力端子(+)は、回路の接地電位が供給される。上記演算増幅回路OPの反転入力端子

(-)は、上記MOSFETQ1のソース側に接続される。上記演算増幅回路OPは、後述するように入力オフセット電圧を持ち、このオフセット電圧に従って出力電圧V2が安定化される。特に制限されないが、上記電圧V2は約-1.2V程度にされる。上記オフセット電圧より出力電圧V2の電圧が低く(絶対値的に大きく)されると、演算増幅回路OPの出力電圧が絶対値的に小さくなりMOSFETQ1のコンダクタンスが小さくなる。これによって、MOSFETQ1における電圧降下分が大きくなるので、そのソース電位V2を絶対値的に小さくさせる。逆に、上記オフセット電圧

より出力電圧V2の電圧が絶対値的に小さくされると、演算増幅回路OPの出力電圧が絶対値的に大きくなってMOSFETQ1のコンダクタンスを大きくさせ、ソース電位V2を絶対値的に大きくさせる。このようなMOSFETQ1のコンダクタンスの制御によって、出力電圧V2の電圧を上記演算増幅回路OPのオフセット電圧に従った安定化電圧とする。

第4図には、上記演算増幅回路OPの一実施例の回路図が示されている。

Pチャンネル型の差動MOSFETQ2とQ3のドレインには、電流ミラー形態にされるNチャンネルMOSFETQ4とQ5が負荷として設けられる。上記差動MOSFETQ2とQ3の共通ソースと回路の接地電位点との間には、定電流源I0が設けられる。上記MOSFETQ2とQ3は、そのしきい値電圧が異なるようにされる。特に制限されないが、MOSFETQ3には、その一部又は全部が多結晶シリコン膜からなるゲート電極に、基板ゲートと同じ導電型(N型)の不純

物(リン)が導入されることによって、比較的大きなしきい値電圧を持つようにされる。これに対してMOSFETQ2は、そのゲート電極に反対導電型(P型)の不純物(ボロン)が導入されることによって比較的小きなしきい値電圧を持つようにされる。これによって、上記差動MOSFETQ2とQ3の入力には、上記MOSFETQ2とQ3のシリコンの禁止帯のバンドギャップに略等しいしきい値電圧の差に従ったオフセット電圧Vref(1.1~1.2V)を持つものとなる。上記MOSFETQ2のゲートが回路の接地電位点に結合されることより、MOSFETQ3のゲート電圧が上記基準電圧Vrefに等しくされたとき、差動MOSFETQ2とQ3には、上記定電流源I0の電流が半分ずつ等しく流れるようにされる。上記差動MOSFETQ2とQ3は、同じ電流(I0/2)が流れるように出力電圧を形成してMOSFETQ1のコンダクタンスを制御する。なお、上記MOSFETQ3のゲートには、MOSFETQ1のソース電圧を分圧回路により分圧

して供給するものであってもよい。この場合に、その分圧電圧が上記オフセット電圧と等しくなるように上記MOSFETQ1のコンダクタンスを制御するものとなる。これによって、比較的小きなオフセット電圧と分圧回路の抵抗比との組み合わせから、上記のような約1.2V程度の電圧を形成することができる。上記のようなしきい値電圧の差は、MOSFETの絶対値的なプロセスバラツキに影響されない。したがって、安定化電圧V2は、高精度に設定された所望の電圧値にされる。

第1図において、発振回路OSCは、特に制限されないが、リング状態に経路接続されるCMOSインバータ回路N1ないしN3から構成される。特に制限されないが、インバータ回路N1の入力端子には、キャパシタC1とC2からなる分圧回路によって、直流バイアス電圧が与えられる。また、インバータ回路N4は、波形整形用の出力インバータ回路である。このインバータ回路N4の出力信号は、上記のように発振回路の動作電圧V2が、論理回路LOGの動作電圧V1より絶対値

的に小さいことより、レベル変換回路LSを介して上記論理回路LOGに供給される。論理回路OGは、上記発振出力信号を受けて内部論理回路の動作や、表示回路の動作に必要なクロック信号を形成するクロック発生回路を含んでいる。

この実施例の発振回路OSCは、その動作電圧が絶対値的に小さな電圧V2により最大電圧が抑えられるものであるから、第2図に示す特性図において、この電圧V2より絶対値的に大きな電圧範囲での電源変動の影響を受けることなく、周波数 f_{os} に安定する。これにより、発振周波数の変動幅を小さくできる。また、上記周波数 f_{os} により最高周波数が制限されるから、動作電圧が大きくなることによる発振回路OSC及び論理回路LOGの消費電力の増大を防止することができるものとなる。

(実施例2)

第3図には、この発明の他の一実施例のブロック図が示されている。

この実施例では、上記第1図と同様な発振回路

クロック端子に供給される。これにより、例えば、制御信号TSTがハイレベルにされるテストモードのときには、クロックドインバータ回路CN2が動作状態にされ、端子TPから供給されるクロック信号を伝える。このとき、クロックドインバータ回路CN1は、インバータ回路N5の出力信号のロウレベルによって非動作状態に、言い換えるならば、出力がハイインピーダンス状態にされる。これにより、インバータ回路N4及びレベル変換回路LSを通して、論理回路LOGには端子TPから供給されるクロック信号が伝えられ、図示しないテスターとの同期化が図られる。

一方、制御信号TSTがロウレベルにされる通常の動作モードのときには、クロックドインバータ回路CN2が非動作状態にされ、その出力がハイインピーダンス状態となる。このとき、クロックドインバータ回路CN1は、インバータ回路N5の出力信号のハイレベルによって動作状態にされ、発振回路OSCの発振信号を伝える。これにより、インバータ回路N4及びレベル変換回路L

OSCを内蔵する半導体集積回路装置における論理回路LOGの機能試験をテスターとの間で同期化して行うようにするため、テスターからクロック信号を供給する電極TPが設けられる。この電極TPにおける比較的大きな寄生容量が、発振回路OSCの出力端子に結合されることによる発振周波数のバラツキ、消費電流の増大や外部ノイズの影響を防止するため、発振回路OSCの出力端子と上記電極TPは、それぞれクロックドインバータ回路CN1とCN2を介して結合される。上記クロックドインバータ回路CN1とCN2の共通化された出力端子の信号は、特に制限されないが、出力用のインバータ回路N4を介してレベル変換回路LSの入力に供給される。上記クロックドインバータ回路CN1とCN2は、テスト用の制御信号TSTにより相補的に動作させられる。すなわち、制御信号TSTは、クロックドインバータ回路CN2のクロック端子に供給される。また、上記制御信号TSTは、インバータ回路N5により反転されてクロックドインバータ回路CN1の

Sを通して、論理回路LOGには発振回路OSCの発振信号が伝えられることになる。このような通常の動作モードにおいて、上記クロックドインバータ回路CN2が非動作状態にされていることから、上記端子TPの寄生容量が発振回路OSCの出力端子に結合されない。これにより、発振周波数は、インバータ回路N1ないしN3の信号伝達遅延時間及びキャパシタC1、C2により決定されるものとなる。これによって、比較的大きな寄生容量の充電/放電に受やされる消費電流の増加を防ぐことができる。また、上記端子TPからの外部ノイズが、発振回路の出力端子に伝えられることがない。

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 内部論理回路の動作電圧より絶対値的に小さな安定化電圧V2により発振回路を動作させる。これにより、発振回路は、この電圧V2より絶対値的に大きな電圧範囲での電源変動の影響を受けることがないから発振周波数の変動幅を小さくでき

るという効果が得られる。

(2) 上記(1)により、発振回路の最高周波数が比較的低い周波数に制限されるから、動作電圧が大きくなれることによる発振回路OSC及び論理回路LOGの消費電力の増大を防止でき、低消費電力化を図ることができるという効果が得られる。

(3) 発振回路の最高周波数を制限できるから、下限動作電圧に対する発振周波数を所望の表示品質がえられる比較的高い周波数に設定できるという効果が得られる。

(4) 上記(1)により、発振回路の最高周波数が比較的低い周波数に制限されるから、キー入力回路におけるチャタリングやバウンスの回避するための時間マージンを小さくできる。これによって、キー入力回路の誤動作を確実に防止することができるという効果が得られる。

(5) 発振回路の出力信号と、テスト用のクロック信号とをテスト用制御信号に従って相補的に動作させられる第1、第2の3状態出力回路を介して相補的に出力させることによって、テスト用パッドが

き換えることができるものである。このように、クロックディンバータ回路CN1とCN2は、発振回路の出力端子とテスト用パッドを電気的に分離できるものであれば何であってもよい。

また、安定化電源回路PS2は、上記のようにオフセットを持つ演算増幅回路を利用するものの他、例えば、演算増幅回路の非反転入力端子に、定電圧を供給して、それによって安定化電圧を形成するもの等種々の実施形態を採ることができる。また、発振回路の具体的構成は、上記リングオシレータの他、半導体集積回路に形成される回路素子を用いて構成されるものであれば何であってもよい。

この発明は、発振回路を内蔵する半導体集積回路装置に広く利用できるものである。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、内部論理回路の動作電圧より絶対値的に小さな安定化電圧により発振

発振回路の出力端子と電気的に分離できる。これにより、パッドの寄生容量の影響が回避でき、発振周波数の設定が容易にできるという効果が得られる。

(6) 上記(5)により、発振回路の消費電流を低減できるという効果が得られる。

(7) 上記(5)により、パッドを介した外部ノイズを防止することができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもないであろう。太陽電池等の電圧は、正極性の電圧として供給するものであってもよい。この場合には、上記第1図、第3図及び第4図に示したMOSFETの導電型を逆にすればよい。すなわち、PチャンネルMOSFETとNチャンネルMOSFETとを全て逆に構成すればよい。また、第3図の実施例において、クロックディンバータ回路CN1とCN2は、CMOS伝送ゲート回路に置

回路を動作させることにより、この電圧より絶対値的に大きな電圧範囲での電源変動の影響を受けることがないから発振周波数の変動幅を小さくできる。また、発振回路の出力信号と、テスト用クロック信号とをテスト用制御信号に従って相補的に動作させられる第1、第2の回路を介して選択的に出力させることによって、テスト用パッドを発振回路の出力端子と電気的に分離できるから、パッドの寄生容量の影響が回避でき、発振周波数の設定が容易にできる。

4. 図面の簡単な説明

第1図は、この発明の一実施例を示すブロック図、

第2図は、その発振回路の動作を説明するための特性図、

第3図は、この発明の他の一実施例を示すブロック図、

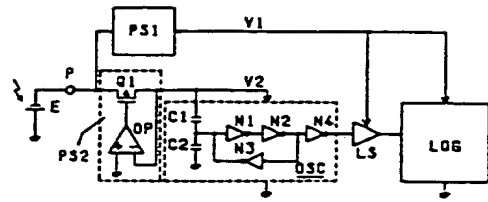
第4図は、安定化電源回路の一実施例を示す回路図である。

PS1、PS2・・・安定化電源回路、OSC・

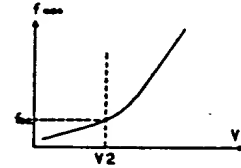
・発振回路、LOG・・・論理回路、LS・・・レベル変換回路、N1～N5・・・インバータ回路、CN1、CN2・・・クロックディンバータ回路、E・・・太陽電池、I_o・・・定電流源、OP・・・演算増幅回路

代理人弁理士 小川 勝男

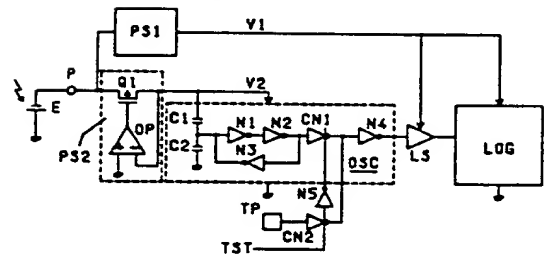
第 1 図



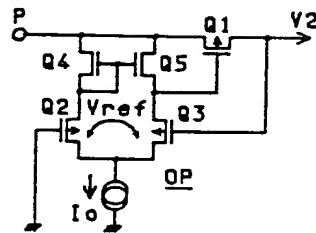
第 2 図



第 3 図



第 4 図



第1頁の続き

⑨Int.Cl.⁴

H 03 L 1/00

識別記号

庁内整理番号

7530-5J

⑫発明者 荻野 真樹 東京都小平市上水本町1479番地 日立マイクロコンピュー

タエンジニアリング株式会社内

⑫発明者 沢田 健司 東京都小平市上水本町1479番地 日立マイクロコンピュー

タエンジニアリング株式会社内

THIS PAGE BLANK (USPTO)